

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

日本国特許庁

PATENT OFFICE
JAPANESE GOVERNMENT

#4
JCS94 U.S. PTO
09/351160
07/12/99

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日

Date of Application:

1998年 7月14日

出願番号

Application Number:

平成10年特許願第198269号

出願人

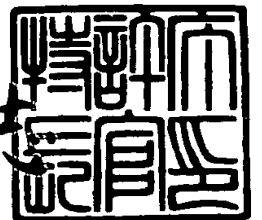
Applicant(s):

松下電器産業株式会社

1999年 4月16日

特許庁長官
Commissioner,
Patent Office

伴佐山建志



出証番号 出証特平11-3023743

【書類名】 特許願

【整理番号】 7412190056

【提出日】 平成10年 7月14日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/00
H01L 27/04

【発明の名称】 半導体装置

【請求項の数】 21

【発明者】
【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式
会社内

【氏名】 西嶋 将明

【特許出願人】
【識別番号】 000005821
【氏名又は名称】 松下電器産業株式会社

【代理人】
【識別番号】 100077931
【弁理士】
【氏名又は名称】 前田 弘

【選任した代理人】
【識別番号】 100094134
【弁理士】
【氏名又は名称】 小山 廣毅

【選任した代理人】
【識別番号】 100107445
【弁理士】
【氏名又は名称】 小根田 一郎

【手数料の表示】
【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9601026

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板上に形成された配線構造を有する半導体装置であって、

前記配線構造は、

前記半導体基板上に形成された導体層と、

前記導体層上に形成された誘電体膜と、

前記誘電膜上に形成された導体線と、

を備え、

前記誘電体膜は、

前記導体線の下面と前記導体層の上面との間の領域内に位置する部分を含む第 1 誘電体部分と、

前記第 1 誘電体部分を側面から挟み込む第 2 誘電体部分および第 3 誘電体部分と、

を含み、

前記第 1 誘電体部分は、前記第 2 誘電体部分の誘電率および前記第 3 誘電体部分の誘電率の少なくとも一方とは異なる誘電率を有することを特徴とする半導体装置。

【請求項 2】 前記第 1 誘電体部分の誘電率は、前記第 2 誘電体部分の誘電率および第 3 誘電体部分の誘電率よりも低いことを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記第 2 誘電体部分の誘電率および前記第 3 誘電体部分の誘電率の少なくとも一方が 10 より高いことを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】 前記導体線を覆う他の誘電体膜を備えていることを特徴とする請求項 1 から 3 の何れかに記載の半導体装置。

【請求項 5】 前記半導体基板上に形成され、前記配線構造に電気的に接続された高周波用能動素子を更に備えたことを特徴とする請求項 1 から 4 の何れかに記

載の半導体装置。

【請求項 6】 半導体基板上に形成された配線構造を有する半導体装置であって、

前記配線構造は、

前記半導体基板上に形成された導体層と、

前記導体層上に形成された誘電体膜と、

前記誘電膜上に形成された導体線と、

を備え、

前記誘電体膜は、誘電率の異なる 2 層以上の誘電体層から構成されていることを特徴とする半導体装置。

【請求項 7】 前記 2 層以上の誘電体層の何れかが、前記導体線の下面と前記導体層の上面との間の領域内に位置する部分を含む第 1 誘電体部分と、前記第 1 誘電体部分を側面から挟み込む第 2 誘電体部分および第 3 誘電体部分とを含み、

前記第 1 誘電体部分は、前記第 2 誘電体部分の誘電率および前記第 3 誘電体部分の誘電率の少なくとも一方とは異なる誘電率を有する請求項 6 に記載の半導体装置。

【請求項 8】 半導体基板上に形成された配線構造を有する半導体装置であって、

前記配線構造は、

前記半導体基板上に形成された導体層と、

前記導体層上に形成された誘電体膜と、

前記誘電膜上に形成された導体線と、

前記導体線を覆う他の誘電体膜と、

を備えていることを特徴とする半導体装置。

【請求項 9】 前記誘電体膜が、誘電率の異なる 2 層以上の誘電体層から構成されていることを特徴とする請求項 8 に記載の半導体装置。

【請求項 10】 半導体基板上に形成された配線構造を有する半導体装置であって、

前記配線構造は、

前記半導体基板上に形成された導体層と、
前記導体層上に形成された誘電体膜と、
前記誘電体膜上に形成された導体線と、
を有し、前記導体層のうち前記導体線の下方に位置する領域が除去されている半導体装置。

【請求項 11】 前記誘電体膜が、誘電率の異なる 2 層以上の誘電体層から構成されていることを特徴とする請求項 10 に記載の半導体装置。

【請求項 12】 前記導体線を覆う他の誘電体膜を備えていることを特徴とする請求項 10 または 11 に記載の半導体装置。

【請求項 13】 前記他の誘電体膜の誘電率は 10 より高いことを特徴とする請求項 12 に記載の半導体装置。

【請求項 14】 前記半導体基板上に形成され、前記配線構造に電氣的に接続された高周波用能動素子を更に備えたことを特徴とする請求項 10 から 13 の何れかに記載の半導体装置。

【請求項 15】 半導体基板上に形成された配線構造を有する半導体装置であって、

前記配線構造は、
前記半導体基板上に形成されたコプレーナ型導体層と、
前記コプレーナ型導体層上に形成された誘電体膜と、
を有する半導体装置。

【請求項 16】 前記誘電体膜の誘電率が 10 以上であることを特徴とする請求項 15 に記載の半導体装置。

【請求項 17】 前記半導体基板上に形成され、前記配線構造に電氣的に接続された高周波用能動素子を更に備えたことを特徴とする請求項 15 または 16 に記載の半導体装置。

【請求項 18】 半導体基板上に形成された配線構造を有する半導体装置であって、

前記配線構造は、
前記半導体基板上に形成された第 1 の誘電体膜と、

前記第 1 の誘電体膜上に形成されたコプレーナ型導体層と、
前記コプレーナ型導体層上に形成された第 2 の誘電体膜と、
を有する半導体装置。

【請求項 19】 前記第 1 の誘電体膜および第 2 の誘電体膜の少なくとも一方の誘電率が 10 以上であることを特徴とする請求項 18 に記載の半導体装置。

【請求項 20】 前記第 1 の誘電体膜が、誘電率の異なる 2 層以上の誘電体層から構成されていることを特徴とする請求項 19 に記載の半導体装置。

【請求項 21】 前記半導体基板に形成され、前記配線構造に電氣的に接続された高周波用能動素子を更に備えたことを特徴とする請求項 18 から 20 の何れかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置に関し、特に移動体通信機器端末の小型化および高性能化を実現するのに適した高周波用半導体装置の配線構造に関する。

【0002】

【従来の技術】

近年、世界各国では携帯電話や携帯情報端末のような種々の移動体通信機器が実用化されつつある。日本では、携帯電話として 900MHz、1.5GHz 帯のセルラ、1.9GHz 帯のパーソナルハンディホンシステム (PHS) が普及している。世界的には、ヨーロッパの GSM および DECT やアメリカの PCS が有名である。

【0003】

移動体通信端末の中でも特に携帯端末については、小型軽量化が必須とされているため、携帯端末に使用される部品を小型化し、高性能化することが最重要課題になってきている。特に、携帯端末の高周波部に使用される送信用電力増幅器 (以下「電力増幅器」と称する) を小型化するためには、GaAs を用いた MMIC (Monolithic Microwave IC) によって電流増幅器を構成することが強く望まれる。MMIC では、能動素子およびその整合回路やバイ

アス回路を同一基板上に集積化するため、整合回路およびバイアス給電回路を外付けのチップ部品で構成するハイブリッドICに比べて小型化に有利である。

【0004】

高性能化を達成するという観点から、MMICはハイブリッドICに比べて一般的に劣ると言われている。例えば電力増幅器をMMICで実現した場合には、MMICの製造に用いられる半導体プロセスに起因して配線抵抗などの寄生抵抗成分が増大し、その結果、送信電力の損失を引き起こしてしまうからである。このため、MMICによって電流増幅器を構成した場合は、ハイブリッドICによって電流増幅器を構成した場合に比べて、電力増幅器の利得、電力付加効率、および歪特性が劣化してしまうという問題が生じる。そのため、現在、電力増幅器のどの部分をMMICによって実現するかが、小型化と高性能化とのトレードオフによって決定されている。

【0005】

以下、図10から図15を参照しながら、出力整合回路およびドレインバイアス回路をMMICによって構成する例を説明する。また、図16を参照しながら、マイクロストリップライン構造について説明する。マイクロストリップライン構造は、上記出力整合回路およびドレインバイアス回路において受動素子として使用されるスパイラルインダクタの基本構造となる。

【0006】

図10は、出力電力が1W程度の高出力電力増幅器に使用される最終段MESFETおよびその出力整合回路の平面パターンを示している。この最終段MESFETについての各パラメータは以下の通りである。

【0007】

単位フィンガー長：300 μm

総ゲート幅：24 mm

周波数：900 MHz

電源電圧：3.5 V

アイドル電流400 mAで飽和出力電力：約1.5 W

動作電流：約550 mA

利得：約12dB

MESFET410のゲートは、ゲート電極引き出し配線411を介してゲートバイアス用パッド412に接続されている。MESFET410のソースはソースパッド413を介してMIMキャパシタ409に接続されている。MESFET410のドレインは、ドレイン引き出し配線414を介してドレインバイアス用パッド415に接続されている。ドレイン引き出し配線414の一部にスパイラルインダクタ408の一端が接続され、スパイラルインダクタ408の他端はMIMキャパシタ409を介して出力パッド416に接続されている。

【0008】

スパイラルインダクタ408の引き出し配線は金メッキにより形成され、その厚さは例えば約 $3\mu\text{m}$ である。引き出し配線はチタン／金の蒸着により形成される。MIMキャパシタ409の上層導体は金メッキから形成され、下層導体はチタン／金の蒸着によって形成されている。キャパシタ409の層間絶縁膜は誘電率約7のシリコンナイトライド(SiN_x)膜をCVD法で堆積することによって形成されている。

【0009】

出力整合回路のMMICにおける最終段MESFETの特性は、周波数900MHz、電源電圧3.5Vで約1.0Wの飽和出力電力、動作電流約560mA、利得約10dBとなる。

【0010】

図11は、図10に示されるMESFETおよびその出力整合回路の等価回路を示している。図11には、ゲート端子302、ソース端子303およびドレイン端子304を有するMESFETが示されているが、これは図10のMESFETに対応している。このMESFETのドレイン端子304には、等価直列インダクタ305、等価直列抵抗306および等価並列キャパシタ307が接続されている。等価直列インダクタ305および等価直列抵抗306は、前述のスパイラルインダクタの等価回路に対応している。この例における等価直列インダクタ305のインダクタンス値は約2.5nH、等価直列抵抗306の抵抗値は約4 Ω 、等価並列キャパシタ307のキャパシタンス値は約12pFである。等価

並列キャパシタ 307 は、図 10 の MIM キャパシタ 409 に対応している。

【0011】

図 12 はスミスチャート上における上記 MESFET の負荷インピーダンス Z_{L301} の位置を示し、 50Ω 系からのインピーダンス変換を示している。スミスチャートの中心 (50Ω) から、並列キャパシタンス成分と直列インダクタンス成分とを用いて得られる経路をたどることにより、負荷インピーダンス Z_{L301} にインピーダンス変換される。ここで負荷インピーダンス Z_{L301} の値は $7\Omega + j4\Omega$ である。

【0012】

次に、図 13 を参照しながら、ドレインのチョーク用インダクタが MMIC 化されたドレインバイアス回路と MESFET を説明する。チョーク用インダクタは高周波電力がドレイン電圧源側に漏れることを避けるための素子である。

【0013】

この MESFET についての各パラメータは以下の通りである。

【0014】

単位フィンガー長： $100\mu\text{m}$

総ゲート幅： 1mm

周波数： 900MHz

電源電圧： 3.5V

アイドル電流 20mA で飽和出力電力：約 120mW

動作電流：約 23mA

利得：約 13dB

MESFET 505 のゲートは、ゲート電極引き出し配線 506 を介してゲートバイアス用パッド 507 に接続されている。MESFET 505 のソースはソースパッド 508 に接続されている。MESFET 505 のドレインは、ドレイン引き出し配線 509 が接続されている。ドレイン引き出し配線 509 の一部は、スパイラルインダクタ 504 を介して、ドレインバイアス用パッド 510 に接続されている。

【0015】

ドレインのチョーク用インダクタをMMIC化したMESFETの特性は、周波数900MHz、電源電圧3.5V、アイドル電流20mAで約90mWの飽和出力電力、動作電流約19mA、利得約11dBを有する。

【0016】

スパイラルインダクタ504の引き回し配線は、金メッキによれ形成され、その厚さは約3 μ mである。スパイラルインダクタ504の引き出し配線は、チタン/金の蒸着により形成される。

【0017】

図14は、図13に示されるMESFET505およびドレインバイアス回路の等価回路を示している。等価直列インダクタ502および等価直列抵抗503は図13のスパイラルインダクタの等価回路に相当する。この例における等価直列インダクタL502のインダクタンス値は21nH、等価直列抵抗R503の抵抗値が7.5 Ω である。

【0018】

図15はスミスチャート上に、ドレイン電圧給電側を終端短絡した時の、MESFETのドレイン端のインピーダンス、つまりチョークインピーダンスZC501の位置を示している。通常、チョークインピーダンスZC501は開放(オープン)状態に設定されることが理想である。しかし、実際には、整合回路として使用することもあるため、オープン状態に限定されない。図15の例では、チョークインピーダンスZC501が位相回転角約140°の位置に設定されている。

【0019】

図16は、スパイラルインダクタの基本構造であるマイクロストリップライン構造の断面を示している。スパイラルインダクタは、前述のように上記出力整合回路およびドレインバイアス回路を構成する受動素子として用いられる。この配線のような配線構造は、GaAs基板601の表面に形成された配線602と、GaAs基板601の裏面に形成された接地導体603とから構成されている。配線602は例えば厚さ約3 μ mの金メッキから形成される。

【0020】

【発明が解決しようとする課題】

図10から図12に示す最初の従来例では、電力増幅器に用いられる最終段GaAs FETの出力インピーダンスが約10Ω以下と低くなる。このため、GaAs基板上に形成されたスパイラルインダクタ等の配線抵抗を含む出力整合回路の抵抗成分が出力整合回路における電力損失を増加させ、それによって電力増幅器の利得、電力付加効率（動作電流と対応）および歪特性を劣化させるという問題が生じる。これを避けるためには、配線を厚くしたり、配線幅を広げることが行われ得る。しかし、配線を厚くすることに対しては、半導体プロセス上の制約から上限が存在し、また、配線幅を広げるとは、占有面積の増大を招き、小型化に逆行する。

【0021】

出力電力が100mW程度の中出力電力増幅器でも、入力、段間および出力の各整合回路がMMIC化される。その場合において、出力整合回路が内蔵されるのは、電力増幅器に用いる最終段GaAs FETの出力インピーダンスがほぼ30Ω以上と高いものである。しかし、そのような場合でも、GaAs基板上に形成されるスパイラルインダクタ等の配線抵抗を含めた出力整合回路の抵抗成分が出力整合回路における電力損失を増大させ、特性劣化を引き起こすという問題がある。

【0022】

図13から図15に示す第2の従来例では、ドレインバイアス回路のMMIC化により、GaAs基板上でチョーク用スパイラルインダクタの占有面積が大きくなるため、MMICチップの面積が増大し、小型化への障害となるという問題がある。さらに、スパイラルインダクタ配線の寄生抵抗により、外部から給電されるドレイン電圧が電圧降下を生じるため、電力増幅器の特性劣化を引き起こすという問題もある。このように、第2の従来例によれば、電力増幅器が本来持っている特性を引き出せず、高性能化を充分にはかることができない。

【0023】

本発明は上記問題点に鑑みてなされたものであり、その目的とするところは、

移動体通信機器端末の小型化と高性能化とを両立させ得る高周波用半導体装置を提供することにある。

【0024】

【課題を解決するための手段】

本発明による他の半導体装置は、半導体基板上に形成された配線構造を有する半導体装置であって、前記配線構造は、前記半導体基板上に形成された導体層と

前記導体層上に形成された誘電体膜と、前記誘電膜上に形成された導体線と、を備え、前記誘電体膜は、前記導体線の下面と前記導体層の上面との間の領域内に位置する部分を含む第1誘電体部分と、前記第1誘電体部分を側面から挟み込む第2誘電体部分および第3誘電体部分とを含み、前記第1誘電体部分は、前記第2誘電体部分の誘電率および前記第3誘電体部分の誘電率の少なくとも一方とは異なる誘電率を有することを特徴とする。

【0025】

実施形態では、前記第1誘電体部分の誘電率は、前記第2誘電体部分の誘電率および第3誘電体部分の誘電率よりも低い。

【0026】

前記第2誘電体部分の誘電率および前記第3誘電体部分の誘電率の少なくとも一方が10より高いことが好ましい。

【0027】

前記導体線を覆う他の誘電体膜を備えていることが好ましい。

【0028】

実施形態では、前記半導体基板に形成され、前記配線構造に電氣的に接続された高周波用能動素子を更に備えている。

【0029】

本発明による他の半導体装置は、半導体基板上に形成された配線構造を有する半導体装置であって、前記配線構造は、前記半導体基板上に形成された導体層と、前記導体層上に形成された誘電体膜と、前記誘電膜上に形成された導体線と、を備え、前記誘電体膜は、誘電率の異なる2層以上の誘電体層から構成されてい

ることを特徴とする。

【0030】

前記2層以上の誘電体層の何れかが、前記導体線の下面と前記導体層の上面との間の領域内に位置する部分を含む第1誘電体部分と、前記第1誘電体部分を側面から挟み込む第2誘電体部分および第3誘電体部分とを含み、前記第1誘電体部分は、前記第2誘電体部分の誘電率および前記第3誘電体部分の誘電率の少なくとも一方とは異なる誘電率を有していてもよい。

【0031】

本発明による他の半導体装置は、半導体基板上に形成された配線構造を有する半導体装置であって、前記配線構造は、前記半導体基板上に形成された導体層と、前記導体層上に形成された誘電体膜と、前記誘電膜上に形成された導体線と、前記導体線を覆う他の誘電体膜とを備えていることを特徴とする。

【0032】

前記誘電体膜は、誘電率の異なる2層以上の誘電体層から構成されていることが好ましい。

【0033】

本発明による他の半導体装置は、半導体基板上に形成された配線構造を有する半導体装置であって、前記配線構造は、前記半導体基板上に形成された導体層と、前記導体層上に形成された誘電体膜と、前記誘電体膜上に形成された導体線とを有し、前記導体層のうち前記導体線の下方に位置する領域が除去されている。

【0034】

前記誘電体膜は、誘電率の異なる2層以上の誘電体層から構成されていることが好ましい。

【0035】

前記導体線を覆う他の誘電体膜を備えていることが好ましい。

【0036】

前記他の誘電体膜の誘電率は10より高いことが好ましい。

【0037】

実施形態では、前記半導体基板に形成され、前記配線構造に電氣的に接続され

た高周波用能動素子を更に備えている。

【0038】

本発明による更に他の半導体装置は、半導体基板上に形成された配線構造を有する半導体装置であって、前記配線構造は、前記半導体基板上に形成されたコプレーナ型導体層と、前記コプレーナ型導体層上に形成された誘電体膜とを有する。

【0039】

前記誘電体膜の誘電率は10以上であることが好ましい。

【0040】

実施形態では、前記半導体基板に形成され、前記配線構造に電氣的に接続された高周波用能動素子を更に備えたことを特徴とする。

【0041】

本発明による他の半導体装置は、半導体基板上に形成された配線構造を有する半導体装置であって、前記配線構造は、前記半導体基板上に形成された第1の誘電体膜と、前記第1の誘電体膜上に形成されたコプレーナ型導体層と、前記コプレーナ型導体層上に形成された第2の誘電体膜とを有する。

【0042】

前記第1の誘電体膜および第2の誘電体膜の少なくとも一方の誘電率が10以上であることが好ましい。

【0043】

前記第1の誘電体膜は、誘電率の異なる2層以上の誘電体層から構成されていることが好ましい。

【0044】

実施形態では、前記半導体基板に形成され、前記配線構造に電氣的に接続された高周波用能動素子を更に備えている。

【0045】

【発明の実施の形態】

以下、本発明による半導体装置の実施形態を説明する。

【0046】

(実施の形態1)

図1から図3を参照しながら、本発明による半導体装置の第1の実施形態を説明する。

【0047】

図1は、本半導体装置に使用される新規な配線構造の断面を示している。この配線構造は、図1に示されるように、GaAs基板101の表面に形成されたチタン／金からなる接地導体層（厚さ約 $0.7\mu\text{m}$ ）102と、接地導体層102から上方に離れた位置に設けられた金メッキ配線（導体線）105とを備えている。接地導体層102の上には、厚さ $0.1\sim 2\mu\text{m}$ 程度の誘電体膜が設けられている。この誘電体膜は、チタン酸ストロンチウム膜(SrTiO_3 :STO)103と、シリコンナイトライド(SiN_x)からなる誘電体膜104とを含んでいる。本実施形態では、 SiN_x 誘電体膜104は、チタン酸ストロンチウム膜103の厚さと同程度の厚さを有し、配線105の下面に接触し、配線105の下面から接地導体層102の上面に至る領域に位置している。チタン酸ストロンチウム膜103は、 SiN_x 誘電体膜104を両側から挟み込んでいる。 SiN_x 誘電体膜104の誘電率は6～7であり、チタン酸ストロンチウム膜103の誘電率50～200よりも低い。

【0048】

GaAs基板101には、従来技術について説明したMESFET等の高周波用能動素子が形成されているが、簡単化のため、図1には記載されていない。図示されている配線構造は、図10や図13のスパイラルインダクタ等を構成するのに使用され、高周波能動素子等と電氣的に接続される。

【0049】

以下に、図2(a)から(f)を参照しながら、上記配線構造の形成方法を説明する。

【0050】

まず、図2(a)に示すように、蒸着法等の薄膜堆積方法を用いてチタン／金からなる接地導体層102をGaAs基板101上に堆積する。接地導体層10

2の厚さは、例えば、 $0.5 \sim 3 \mu\text{m}$ の範囲内に設定される。また、接地導体層102の材料は、チタン／金に限定されず、白金(Pt)やタングステンシリコンナイトライド(WSiN)であってもよい。

【0051】

次に、図2(b)に示すように、高周波スパッタリング法を用いて、誘電率が約100のチタン酸ストロンチウム膜(厚さ： $1.5 \mu\text{m}$)103を接地導体層102上に堆積する。チタン酸ストロンチウム膜103上にレジスト106を塗布した後、フォトリソグラフィ工程で露光・現像処理を行い、 $10 \mu\text{m}$ 程度の開口幅108を有する開口部107をレジスト106に形成する。開口部107の平面レイアウトは、あとの工程で形成する配線105の平面レイアウトに対応するように設計される。

【0052】

次に、図2(c)に示すように、チタン酸ストロンチウム膜103のうち開口部107を介して露出する部分をイオンミリング法等のエッチング方法を用いてエッチングし、チタン酸ストロンチウム膜103中に開口幅108に対応する幅を持つ溝(開口部)109を形成する。エッチングは、溝の底部において接地導体層102の表面を露出させるように実行する。

【0053】

次に、図2(d)に示すように、プラズマCVD(Chemical Vapor Deposition)法等の薄膜堆積方法を用いて、本実施形態では誘電率が約7のシリコンナイトライド膜(厚さ： $1.5 \mu\text{m}$)をリフトオフ法によってチタン酸ストロンチウム膜103の溝(開口部)109内に形成する。

【0054】

次に、図2(e)に示すように、誘電体膜104上に金メッキ配線105を形成する。この実施形態では、配線105の厚さを $3 \mu\text{m}$ 、配線幅110を $15 \mu\text{m}$ とし、 SiN_x 誘電体膜104の中心線と配線105の中心線とが実質的に一致するようにする。なお、 SiN_x 誘電体膜104の中心線と配線105の中心線とは必ずしも一致する必要はなく、配線105が平面レイアウト上 SiN_x 誘電体膜104と部分的にオーバーラップするように形成されて入れても良い。

そうすれば、誘電体膜の等価的な誘電率が適切なレベルに設定され、その結果、所望のインピーダンス変換に要する配線長を大幅に短縮できるようになる。

【0055】

図3(a)は、上記配線構造を用いて図13に示すようスパイラルインダクタを構成した場合の等価回路図を示し、図3(b)は上記配線構造を用いて形成したマイクロストリップライン構造と、図16のマイクロストリップライン構造(以下、従来構造とする)について、配線長が同じ場合のそれぞれの位相回転角を示している。この位相回転角は、配線を終端短絡した場合におけるスミスチャート上での位相回転角度を表現しており、所望のインピーダンス変換に必要な配線長を見積もるための指標となる。より詳細には、この位相回転角が大きい配線構造を用いるほど、所望のインピーダンス変換に必要とされる配線長を短縮できる。本実施形態の配線構造によれば、図3からわかるように、同一配線長の場合に従来構造に比べて位相回転角が約 68° 大きくなるので、配線長を従来構造と比較して短縮できる。この理由は、誘電体膜を異なる誘電率を有する複数部分から構成することによって、誘電体膜の等価的な誘電率を最適化することが可能になるからである。

【0056】

このような配線構造を用いることにより、能動素子の所望の負荷インピーダンスへの変換に要するスパイラルインダクタ等の配線長や、所望のチョークインピーダンスを得るために要するスパイラルインダクタ等の配線長を短縮化できる。その結果、寄生抵抗成分を低減することができ、移動体通信機器端末の小型化と、高性能化を両立させた高周波用途の半導体装置が提供される。

【0057】

なお、図2(f)に示すように、チタン酸ストロンチウム膜103および配線105を覆うように第2のチタン酸ストロンチウム膜111を堆積すると、さらに位相回転角を増大することが可能になる。この理由は、配線を囲む部分を高誘電体膜で覆うことによって、配線の電気長の短縮が増長させるからである。

【0058】

なお、誘電体膜104を両側面から挟み込む誘電体膜の少なくとも一方の側の

部分の誘電率は10より高いことが好ましい。この理由は、誘電率を10以上にするによって配線の電気長短縮が顕著になるからである。このような誘電率を有する膜としては、チタン酸ストロンチウム膜以外に、例えばBST (Barium Strontium titanate) から形成された膜を用いることができる。

【0059】

また、誘電体膜は、第1の誘電体層と、第1の誘電体層上に形成された第2の誘電体層とを含む多層構造を有していても良い。その場合、第1の誘電体層の誘電率は、第2の誘電体層の誘電率よりも高くても低くても良い。そのような多層構造にすることによって、誘電体膜の等価的な誘電率を適切な値に調整することが可能になる。また、第2の誘電体層にのみ溝状の開口部を形成した後、その中に第2の誘電体層とは異なる誘電率を有する誘電体を埋め込み、そのシリコンナイドライドにオーバーラップするように配線を形成しても良い。例えば、チタン酸ストロンチウム膜からなる第2の誘電体層に溝状の開口部を形成し、その中にシリコンナイドライドを埋め込んでも良い。こうすることによって、更にいっそう、誘電体膜の等価誘電率を所望のレベルに調整しやすくなる。

【0060】

(実施の形態2)

図4から図6を参照しながら、本発明による半導体装置の第2の実施形態を説明する。

【0061】

図4は、本半導体装置に使用される新規な配線構造の断面を示している。この配線構造は、図4に示されるように、GaAs基板201の表面に形成されたチタン/金からなる接地導体層(厚さ約 $0.7\mu\text{m}$)202と、接地導体層202から上方に離れた位置に設けられた金メッキ配線204とを備えている。接地導体層202の上には、厚さ $0.1\sim 2\mu\text{m}$ 程度のチタン酸ストロンチウム膜(SrTiO_3)203が形成されている。接地導体層202は、配線204の直下の領域では除去されている。このことは前記実施形態の配線層構造と大きく異なる点である。GaAs基板201には、従来技術について説明したMESFET等の高周波用能動素子が形成されているが、簡単化のため、図4には記載されてい

ない。

【0062】

以下に、図5 (a) から (d) を参照しながら、上記配線構造の形成方法を説明する。

【0063】

まず、図5 (a) に示すように、蒸着法等の薄膜堆積方法を用いてチタン／金からなる接地導体層202をGaAs基板201上に堆積した後、接地導体層202のうち配線204が形成される領域の直下に位置する部分をエッチングにより除去する。このようなパターンを要する接地導体層202を形成するには、不図示のレジストパターンを接地導体層202上に形成した後、レジストパターンに覆われてない部分をイオンミリング等の方法によってエッチングすればよい。こうして、幅10 μ m程度の開口部205が接地導体層202に形成されている。接地導体層202の厚さは、例えば、0.5 \sim 3 μ mの範囲内に設定される。また、接地導体層202の材料は、チタン／金に限定されず、白金(Pt)やタングステンシリコンナイトライドであってもよい。

【0064】

次に、図5 (b) に示すように、高周波スパッタリング法を用いて、誘電率が約100の第1のチタン酸ストロンチウム膜(厚さ: 1.5 μ m)203を接地導体層202上に堆積する。

【0065】

次に、図5 (c) に示すように、第1のチタン酸ストロンチウム膜203上に金メッキ配線204を形成する。この実施形態では、配線204の厚さを3 μ m、配線幅206を15 μ mとし、接地導体層202が形成されていない領域(開口部205)の中心線と配線204の中心線とが実質的に一致するようにする。

【0066】

次に、図5 (d) に示すように、配線204を覆うように第2のチタン酸ストロンチウム膜207を第1のチタン酸ストロンチウム膜203上に堆積する。

【0067】

図6は、上記配線構造を用いて形成したマイクロストリップライン構造と、図

16のマイクロストリップライン構造（従来構造）について、配線長が同じバンブあそのそれぞれの位相回転角を示している。この位相回転角は、配線を終端短絡した場合におけるスミスチャート上での位相回転角度を表現しており、所望のインピーダンス変換に必要な配線長を見積もるための指標となる。より詳細には、この位相回転角が大きい配線構造を用いるほど、所望のインピーダンス変換に必要とされる配線長を短縮できる。本実施形態の配線構造によれば、図6からわかるように、同一配線長の場合、従来構造に比べて位相回転角が約 116° 大きくなるので、配線長を従来構造に比較して短縮できる。この理由は、従来構造では所望のインピーダンス変換を行うために位相回転角 116° 分に相当する配線長が余分に必要とされるからである。

【0068】

このような配線構造を用いることにより、能動素子の所望の負荷インピーダンスへの変換に要するスパイラルインダクタ等の配線長や、所望のチョークインピーダンスを得るために要するスパイラルインダクタ等の配線長を短縮化できる。その結果、寄生抵抗成分を低減することができ、移動体通信機器端末の小型化と、高性能化を両立させた高周波用途の半導体装置が提供される。

【0069】

なお、配線204を覆う誘電体膜の誘電率は10より高いことが好ましい。この理由は、配線を囲む部分を高誘電体膜で覆うことによって、配線の電気長の短縮が増長させるからである。このような誘電率を有する膜としては、チタン酸ストロンチウム膜以外に、例えばBSTから形成された膜を用いることができる。

【0070】

接地導体層202と配線204との間に設けられる誘電体膜は、第1の誘電体層と、第1の誘電体層上に形成された第2の誘電体層とを含む多層構造を有していても良い。その場合、第1の誘電体層の誘電率は、第2の誘電体層の誘電率よりも高くても低くても良い。

【0071】

（実施の形態3）

図7から図9を参照しながら、本発明による半導体装置の第1の実施形態を説

明する。

【0072】

図7は、本半導体装置に使用される新規な配線構造の断面を示している。GaAs基板301上に第1のチタン酸ストロンチウム膜303を有し、第1のチタン酸ストロンチウム膜303上に金メッキによる接地導体層302と配線305を有し、これら接地導体層302と配線305を覆う領域に第2のチタン酸ストロンチウム膜304を作製する。ここで、上記接地導体層302と配線305を組み合わせた構造をコプレーナ型構造と呼ぶ。

【0073】

この配線構造は、図7に示されるように、GaAs基板301の表面に形成された第1のチタン酸ストロンチウム膜303と、第1のチタン酸ストロンチウム膜303上に形成された金メッキによる接地導体層（厚さ約 $0.7\mu\text{m}$ ）302および配線（厚さ約 $0.7\mu\text{m}$ ）305と、接地導体層302および配線305を覆う第2のチタン酸ストロンチウム膜304とを備えている。ここでは、接地導体層302および配線305の組み合わせをコプレーナ型構造と呼ぶことにする。配線305と接地導体層302との間には、ギャップが設けられている。

【0074】

GaAs基板301には、従来技術について説明したMESFET等の高周波用能動素子が形成されているが、簡単化のため、図7には記載されていない。

【0075】

以下に、図8(a)から(c)参照しながら、上記配線構造の形成方法を説明する。

【0076】

まず、図8(a)に示すように、高周波スパッタリング法を用いて、誘電率が約100のチタン酸ストロンチウム膜（厚さ： $1.5\mu\text{m}$ ）303をGaAs基板上に堆積する。

【0077】

次に、図8(b)に示すように、蒸着法等の薄膜堆積方法を用いてチタン／金からなる導電膜（厚さ： $3\mu\text{m}$ ）をチタン酸ストロンチウム膜303上に堆積す

る。導電膜の厚さは、例えば、 $0.5 \sim 6 \mu\text{m}$ の範囲内に設定される。次に、リソグラフィおよびエッチング技術を用いて、導電膜をパターンニングし、接地導体層 302 および配線（配線幅 306 は $15 \mu\text{m}$ ）305 を同時に形成する。本実施形態では、配線 305 と接地導体層 302 との間のスペース 307 の大きさを $15 \mu\text{m}$ とする。なお、導電膜の材料は、チタン／金に限定されず、金メッキやアルミニウム（Al）であってもよい。スペース 307 の大きさは、 $15 \mu\text{m}$ に限定されず、例えば $5 \sim 100 \mu\text{m}$ の範囲内に適宜設定される。

【0078】

次に、図 8（c）に示すように、高周波スパッタリング法を用いて、誘電率が約 100 のチタン酸ストロンチウム膜（厚さ： $1.5 \mu\text{m}$ ）304 を接地導体層 302 および配線 305 を覆うように堆積する。

【0079】

図 9 は、上記配線構造を用いて形成したマイクロストリップライン構造と、図 6 のマイクロストリップライン構造（従来構造）について、配線長が同じ場合のそれぞれの位相回転角を示している。この位相回転角は、配線を終端短絡した場合におけるスミスチャート上での位相回転角度を表現しており、所望のインピーダンス変換に必要な配線長を見積もるための指標となる。より詳細には、この位相回転角が大きい配線構造を用いるほど、所望のインピーダンス変換に必要なとされる配線長を短縮できる。本実施形態の配線構造によれば、図 9 からわかるように、同一配線長の場合、従来構造に比べて位相回転角が約 106° 大きくなるので、配線長を従来構造に比較して短縮できる。

【0080】

このような配線構造を用いることにより、能動素子の所望の負荷インピーダンスへの変換に要するスパイラルインダクタ等の配線長や、所望のチョークインピーダンスを得るために要するスパイラルインダクタ等の配線長を短縮化できる。その結果、寄生抵抗成分を低減することができ、移動体通信機器端末の小型化と高性能化とを両立させた高周波用途の半導体装置が提供される。

【0081】

なお、接地導体層 305 および配線 304 と基板 301 との間に設けられた第

1の誘電体膜や接地導体層305および配線304を覆う第2の誘電体膜の誘電率は10より高いことが好ましい。この理由は配線を囲む部分を高誘電体膜で覆うことによって、配線の電気長の短縮が増長させるからである。このような誘電率を有する膜としては、チタン酸ストロンチウム膜以外に、例えばBSTから形成された膜を用いることができる。

【0082】

接地導体層305および配線304と基板301との間に設けられた第1誘電体膜は、第1誘電体層と、第1の誘電体層上に形成された第2誘電体層とを含む多層構造を有していても良い。その場合、第1誘電体層の誘電率は、第2の誘電体層の誘電率よりも高くても低くても良い。

【0083】

【発明の効果】

本発明によれば、誘電体膜の等価的な誘電率を最適化することができ、能動素子の所望の負荷インピーダンスへの変換に要するスパイラルインダクタ等の配線長や、所望のチョークインピーダンスを得るために要するスパイラルインダクタ等の配線長を短縮化できる。このため、寄生抵抗成分を低減することができ、移動体通信機器端末の小型化と高性能化とを両立させた高周波用途の半導体装置を提供できる。

【図面の簡単な説明】

【図1】

本発明による半導体装置の第1の実施形態に使用される配線構造の断面図である。

【図2】

(a)から(f)は、本発明による半導体装置の第1の実施形態を製造する方法を示す工程断面図である。

【図3】

(a)は等価回路を示し、(b)は図1に示す配線構造によって形成したマイクロストリップライン構造と図16のマイクロストリップライン構造とについて、それぞれの位相回転角を示したスミスチャートである。

【図 4】

本発明による半導体装置の第 2 の実施形態に使用される配線構造の断面図である。

【図 5】

(a) から (d) は、本発明による半導体装置の第 2 の実施形態を製造する方法を示す工程断面図である。

【図 6】

図 4 に示す配線構造によって形成したマイクロストリップライン構造と図 16 のマイクロストリップライン構造とについて、それぞれの位相回転角を示したスミスチャートである。

【図 7】

本発明による半導体装置の第 3 の実施形態に使用される配線構造の断面図である。

【図 8】

(a) から (c) は、本発明による半導体装置の第 3 の実施形態を製造する方法を示す工程断面図である。

【図 9】

図 7 に示す配線構造によって形成したマイクロストリップライン構造と、図 16 のマイクロストリップライン構造とについて、それぞれの位相回転角を示したスミスチャートである。

【図 10】

出力電力が 1 W 程度の高出力電力増幅器に使用される最終段 MESFET およびその出力整合回路を示す平面図である。

【図 11】

図 10 に示される MESFET およびその出力整合回路の等価回路図である。

【図 12】

図 11 の MESFET の負荷インピーダンス Z_L 301 の位置を示し、 50Ω 系からのインピーダンス変換を示すスミスチャート図である。

【図 13】

MESFET およびドレインバイアス回路を示す平面図である。

【図 14】

図 13 に示される MESFET およびドレインバイアス回路の等価回路図である。

【図 15】

ドレイン電圧給電側を終端短絡した時の、MESFET のドレイン端のインピーダンスを示すスミスチャートである。

【図 16】

従来のスパイラルインダクタの基本構造であるマイクロストリップライン構造の断面図である。

【符号の説明】

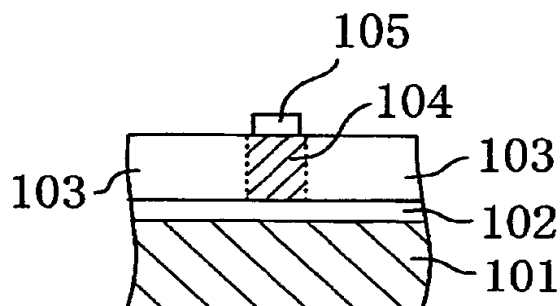
101	GaAs 基板 101
102	接地導体層
103	チタン酸ストロンチウム膜
104	シリコンナイトライド
105	配線
106	レジスト
107	レジスト開口部
108	開口幅
109	開口部
110	配線幅
111	第 2 のチタン酸ストロンチウム膜
201	GaAs 基板
202	接地導体層
203	チタン酸ストロンチウム膜 (SrTiO ₃ :STO)
204	配線
205	開口部
206	配線幅

207	第2のチタン酸ストロンチウム膜207
301	GaAs 基板
302	接地導体層
303	第1のチタン酸ストロンチウム膜
304	第2のチタン酸ストロンチウム膜
305	配線
306	配線幅
307	スペース
401	負荷インピーダンスZL
402	ゲート端子
403	ソース端子
404	ドレイン端子
405	等価直列インダクタンスL
406	等価直列抵抗R
407	等価並列キャパシタンスC
408	スパイラルインダクタ
409	MIMキャパシタ
410	MESFET
411	ゲート電極引き出し配線
412	ゲートバイアス用パッド
413	ソースパッド
414	ドレイン引き出し配線
415	ドレインパッド
416	出力パッド
501	チョークインピーダンスZC
502	等価直列インダクタンスL
503	等価直列抵抗R
504	スパイラルインダクタ
505	MESFET

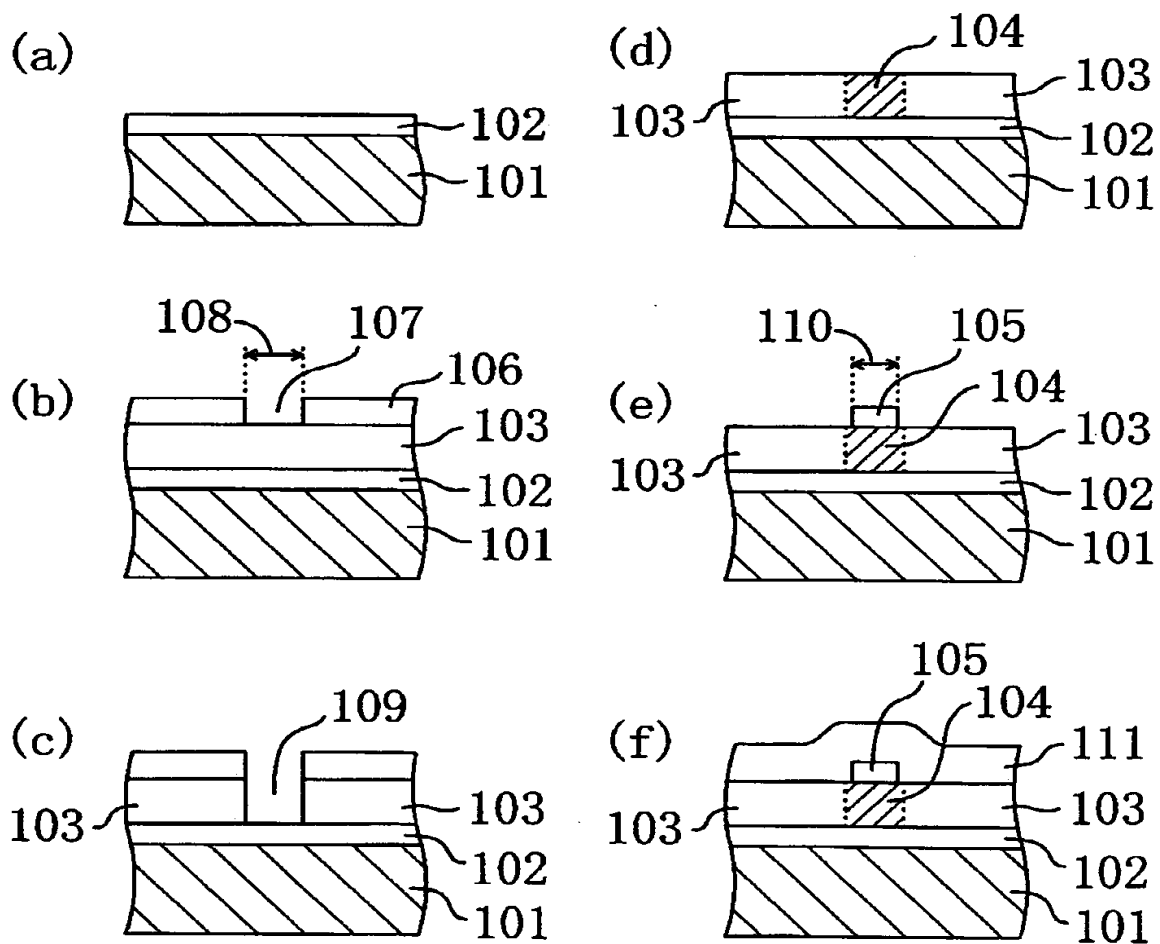
506	ゲート電極引き出し配線
507	ゲートバイアス用パッド
508	ソースパッド
509	ドレイン引き出し配線
510	ドレインパッド
511	整合回路
601	GaAs 基板
602	配線
603	接地導体

【書類名】 図面

【図 1】

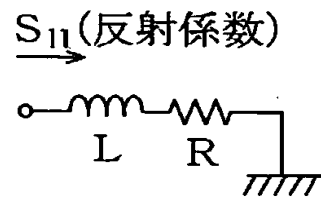


【図 2】



【図3】

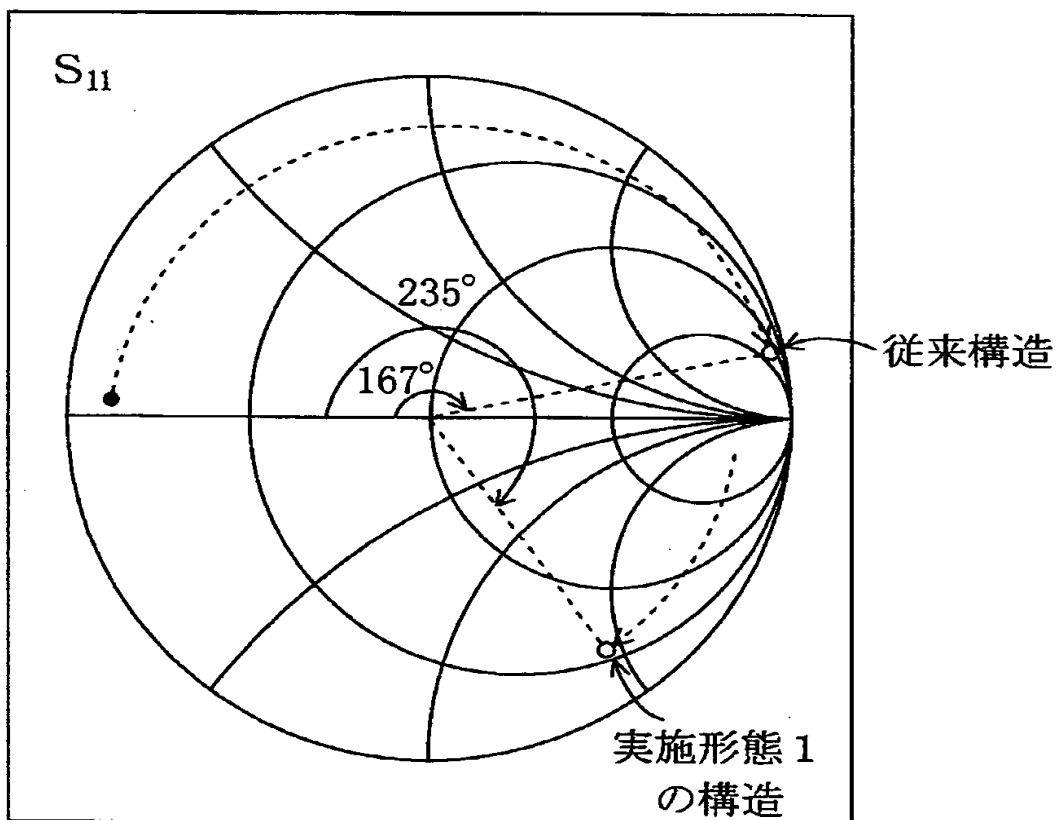
(a)



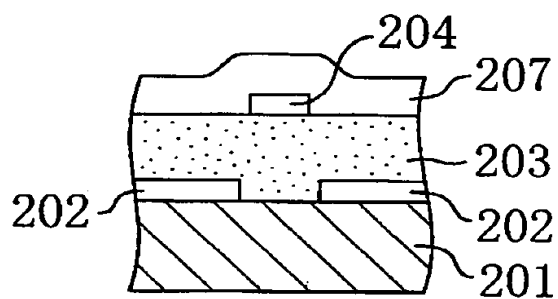
L : 等価インダクタンス値

R : 等価抵抗値

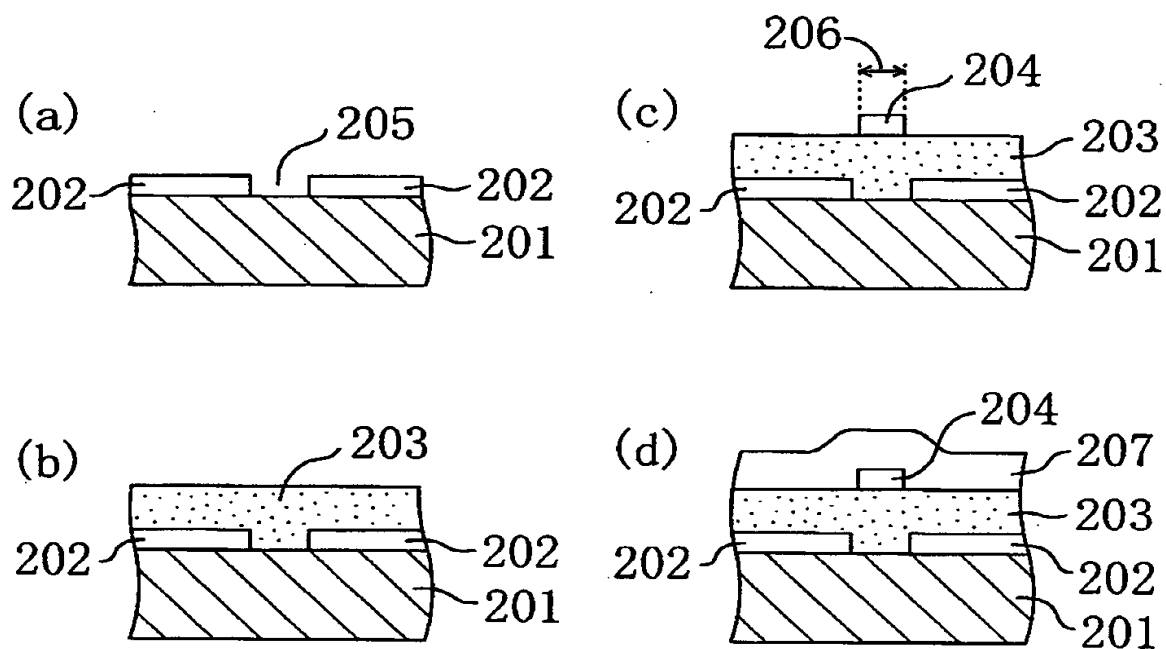
(b)



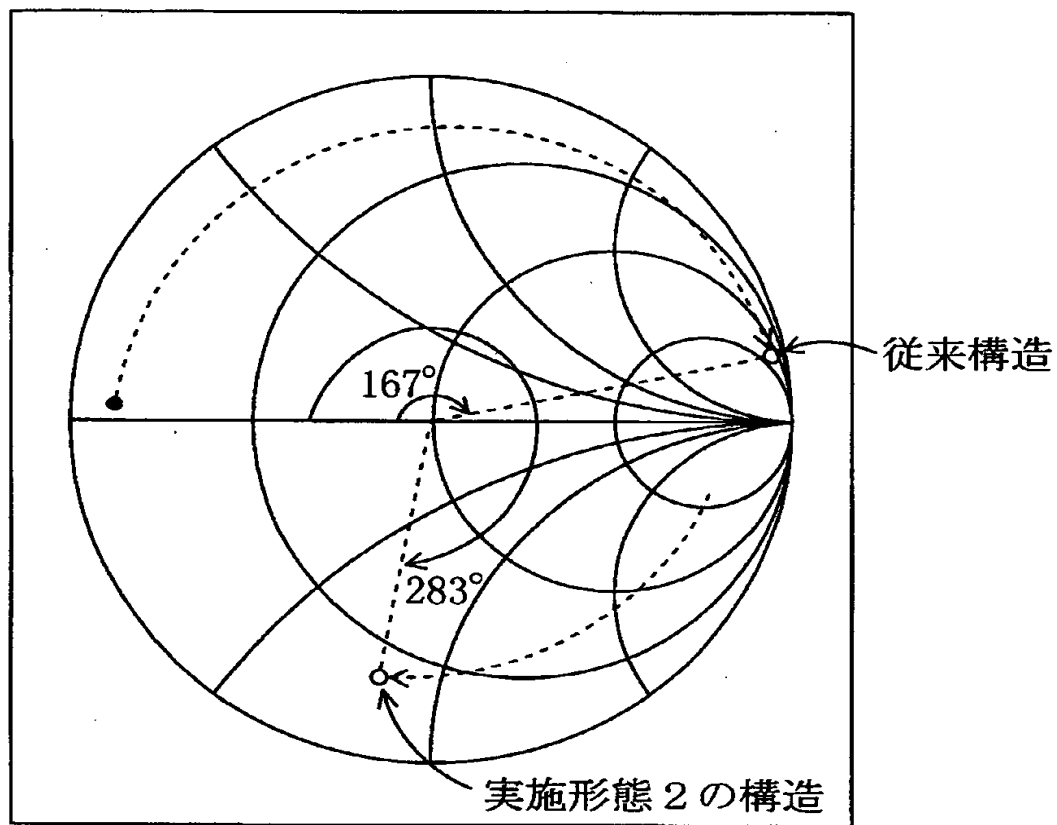
【図4】



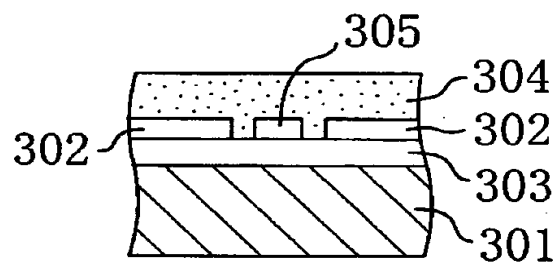
【図5】



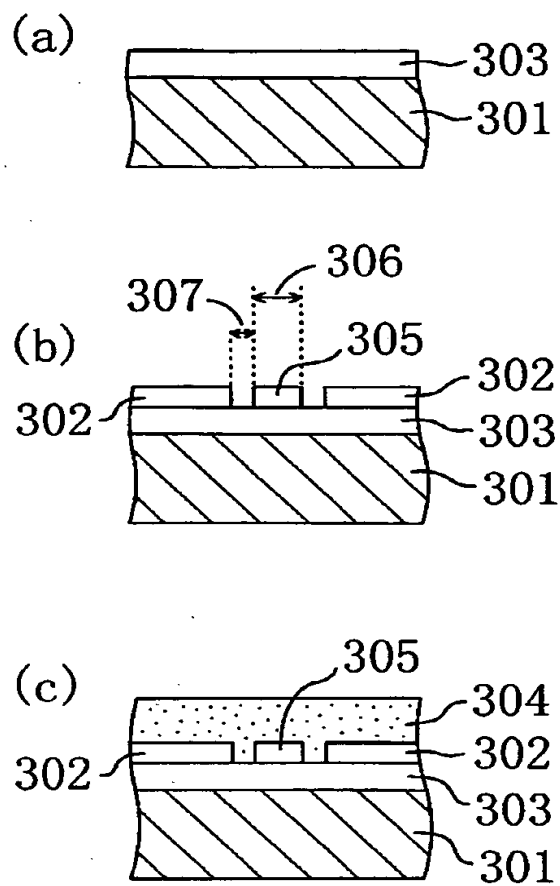
【図 6】



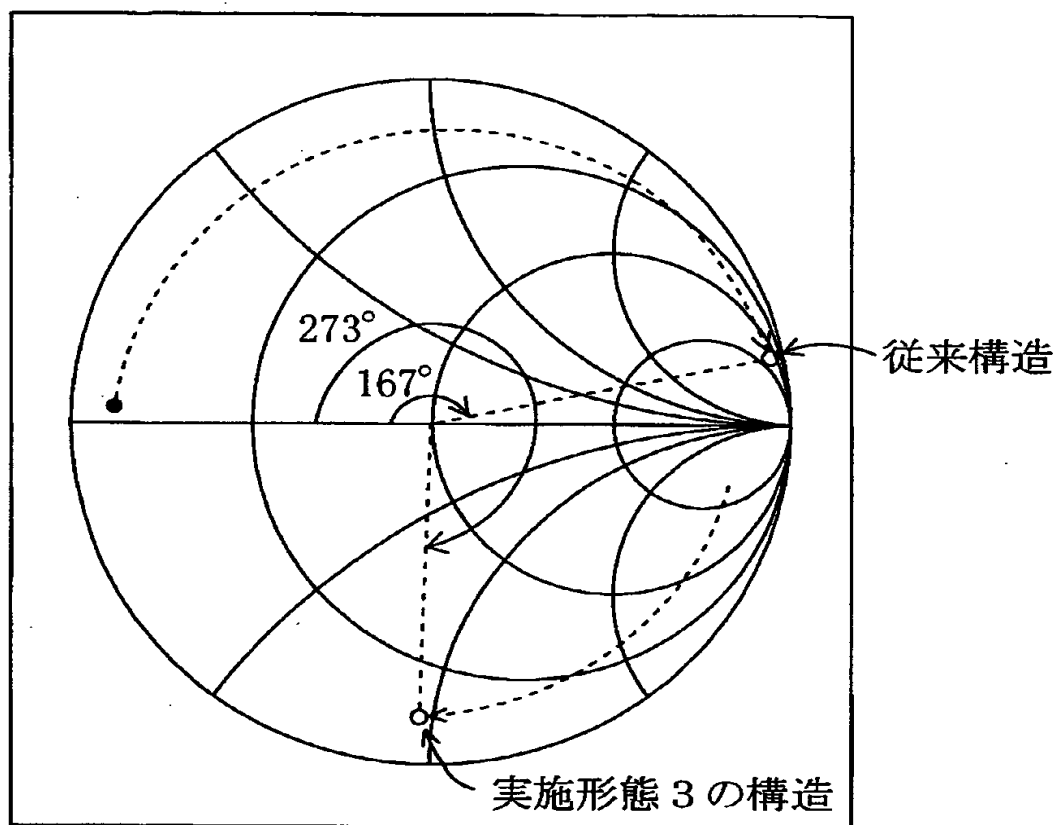
【図 7】



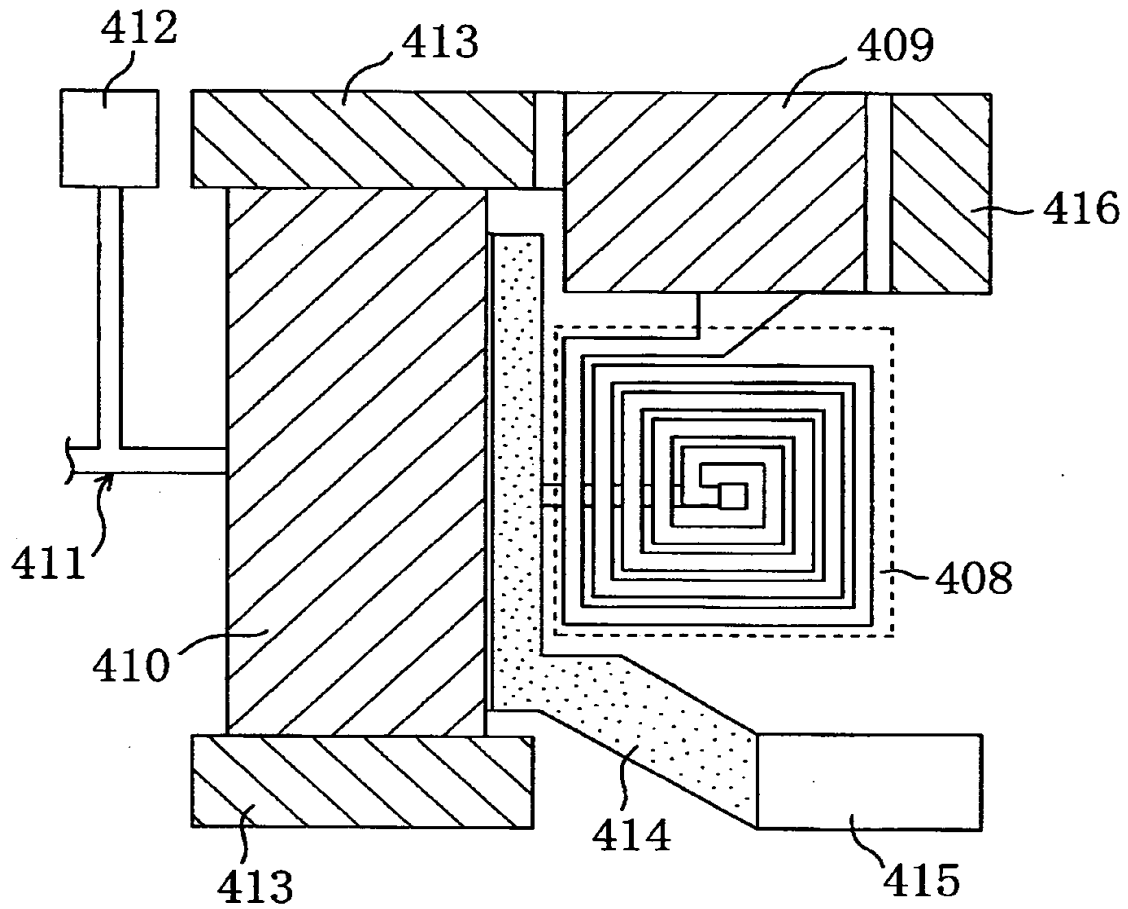
【図 8】



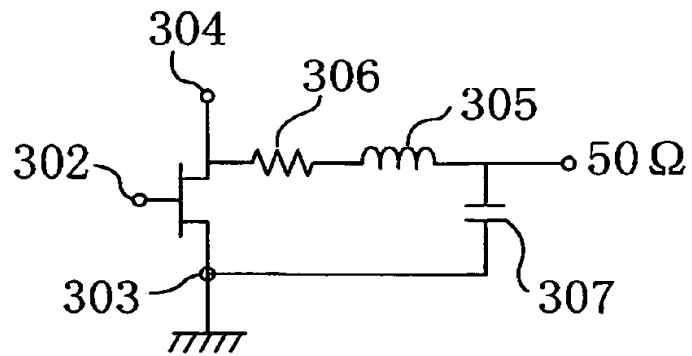
【図9】



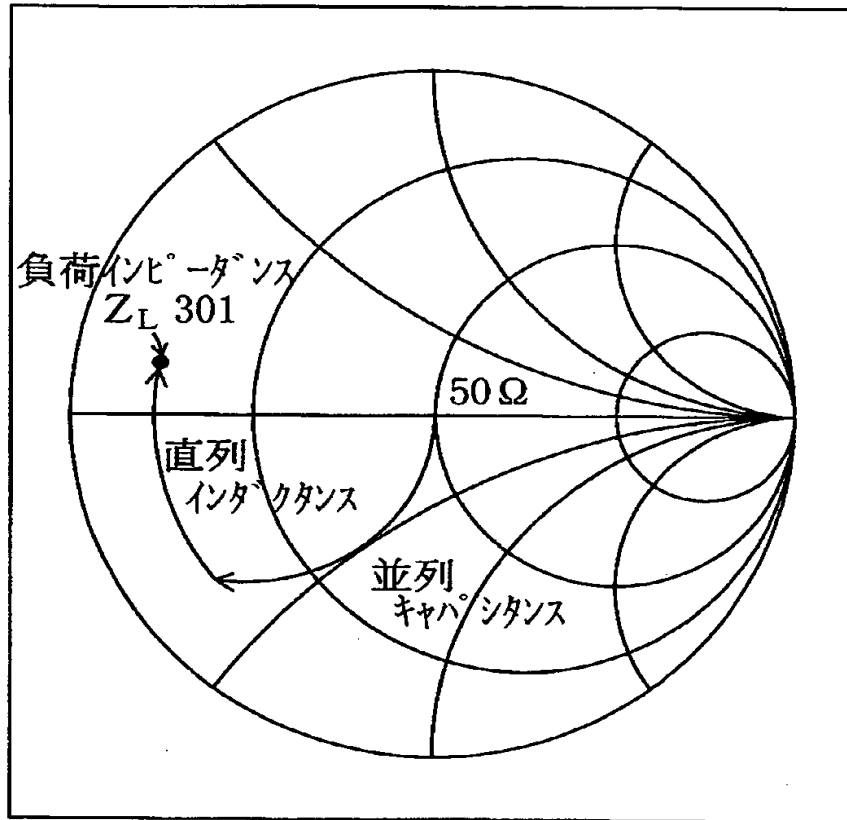
【図 10】



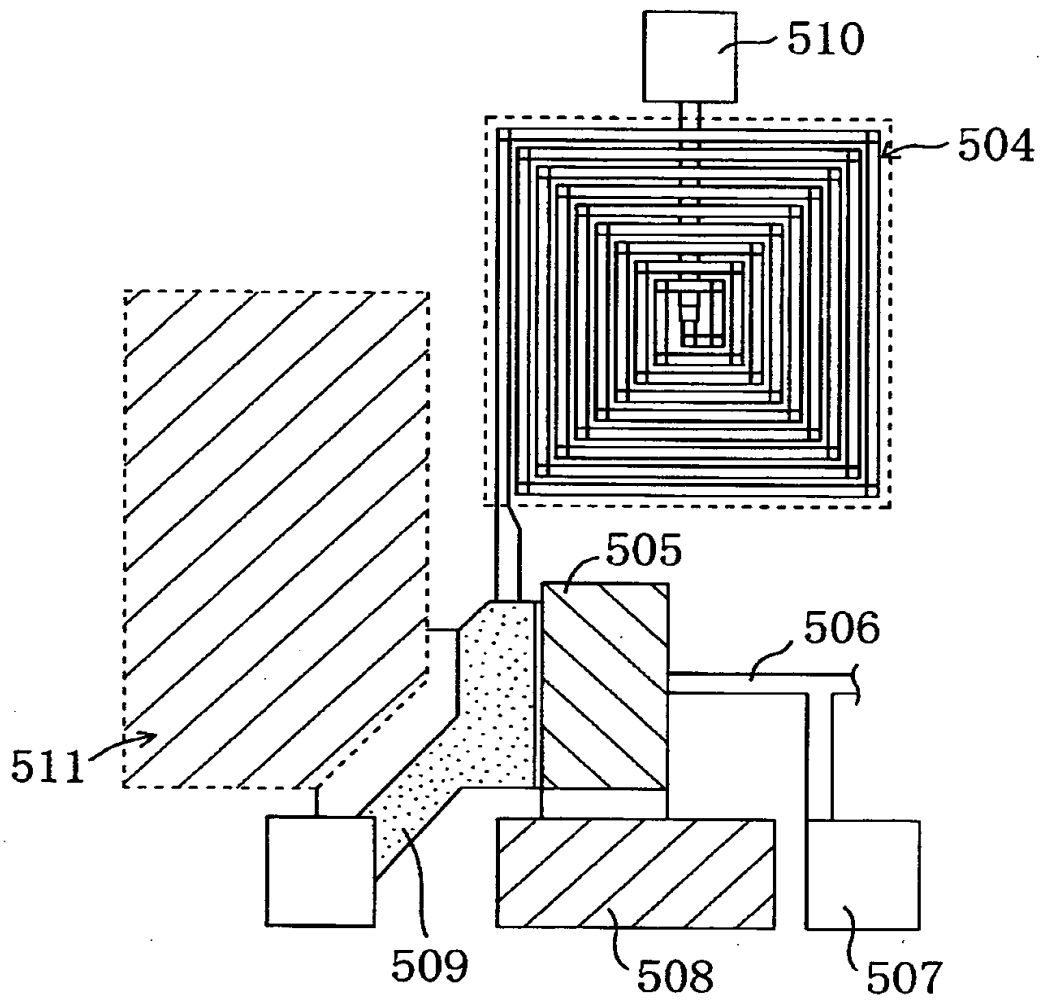
【図 11】



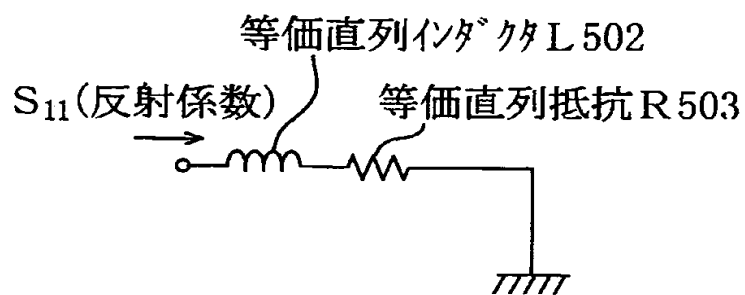
【図 12】



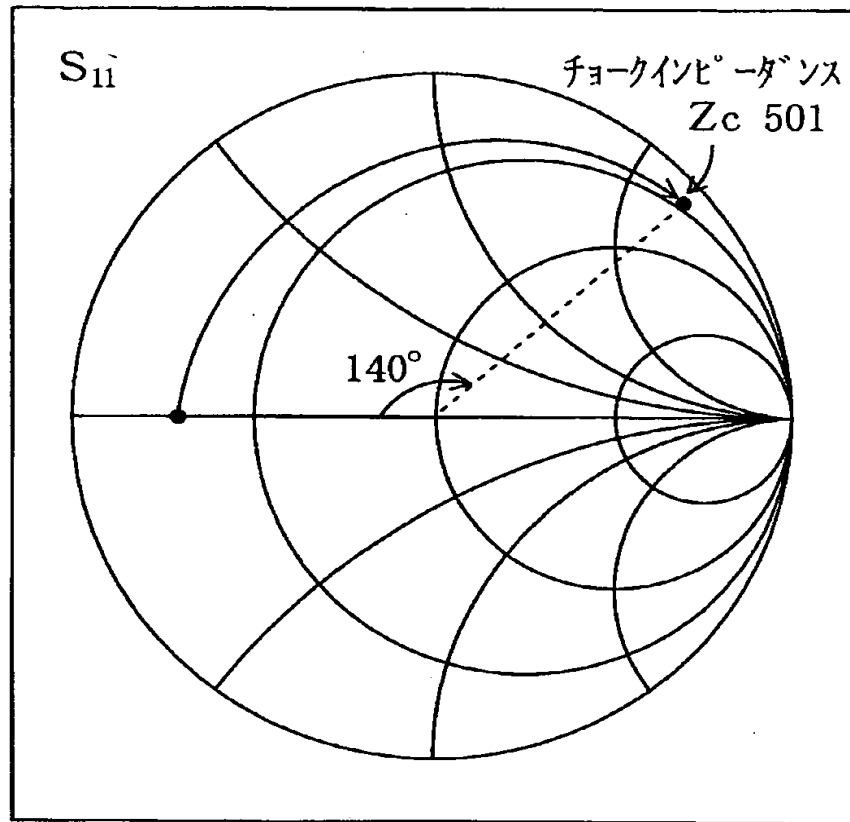
【図 13】



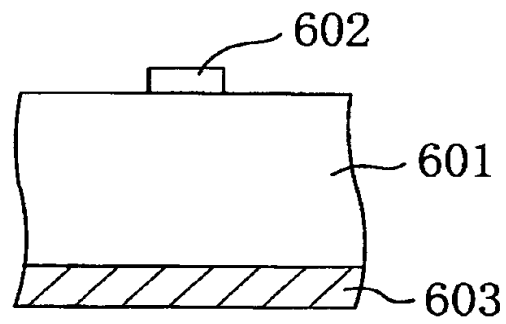
【図 14】



【図 15】



【図 16】



【書類名】 要約書

【要約】

【課題】 移動体通信機器端末の小型化と、高性能化が両立可能な高周波用半導体装置を提供する。

【解決手段】 GaAs 基板 101 上に形成された配線構造が基板 101 上に形成された接地導体層 102、誘電体膜および導体線 105 とを備えている。誘電体膜は、導体線 105 の下面と接地導体層 102 の上面との間の領域内に位置する第 1 誘電体部分（シリコンナイトライド 104）と、それ以外の部分（チタン酸ストロンチウム膜 103）とに分かれている。第 1 誘電体部分は、他の部分の誘電率とは異なる誘電率を有しており、それによって、誘電体膜の等価的な誘電率が最適化されている。

【選択図】 図 1

【書類名】 職権訂正データ
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000005821

【住所又は居所】 大阪府門真市大字門真 1006 番地

【氏名又は名称】 松下電器産業株式会社

【代理人】 申請人

【識別番号】 100077931

【住所又は居所】 大阪府大阪市西区靱本町 1 丁目 4 番 8 号 太平ビル
前田特許事務所

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【住所又は居所】 大阪府大阪市西区靱本町 1 丁目 4 番 8 号 太平ビル
前田特許事務所

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100107445

【住所又は居所】 大阪府大阪市西区靱本町 1 丁目 4 番 8 号 太平ビル
前田特許事務所

【氏名又は名称】 小根田 一郎

出 願 人 履 歴 情 報

識別番号 [000005821]

1. 変更年月日	1990年 8月28日
[変更理由]	新規登録
住 所	大阪府門真市大字門真1006番地
氏 名	松下電器産業株式会社